

? s an=jp 85184325
S4 1 AN=JP 85184325
? t 4/3/all

4/3/1
DIALOG(R)File 347:JAPIO
(c) 2001 JPO & JAPIO. All rts. reserv.

01846647
POLYMER COMPOSITION AND MANUFACTURE

PUB. NO.: 61-060747 [JP 61060747 A]
PUBLISHED: March 28, 1986 (19860328)
INVENTOR(s): JIYON EMU KORUBETSUTO
FURETSUDO DABURIYU NIYUUMAN
APPLICANT(s): DOW CHEM CO THE [000723] (A Non-Japanese Company or
Corporation), US (United States of America)
APPL. NO.: 60-184325 [JP 85184325]
FILED: August 23, 1985 (19850823)
PRIORITY: 6-643,945 [US 643945-1984], US (United States of America),
August 24, 1984 (19840824)

? s an=jp 85136796
S5 1 AN=JP 85136796
? t 5/9/all

5/9/1
DIALOG(R)File 347:JAPIO
(c) 2001 JPO & JAPIO. All rts. reserv.

02081667 **Image available**
PROTECTION CIRCUIT

PUB. NO.: 61-295767 [JP 61295767 A]
PUBLISHED: December 26, 1986 (19861226)
INVENTOR(s): YAMATE KAZUNORI
APPLICANT(s): MATSUSHITA ELECTRIC IND CO LTD [000582] (A Japanese Company
or Corporation), JP (Japan)
APPL. NO.: 60-136796 [JP 85136796]
FILED: June 25, 1985 (19850625)
INTL CLASS: [4] H04N-005/16
JAPIO CLASS: 44.6 (COMMUNICATION -- Television)
JOURNAL: Section: E, Section No. 510, Vol. 11, No. 165, Pg. 24, May
27, 1987 (19870527)

ABSTRACT

PURPOSE: To protect an A/D converter from an abnormal operation when a source voltage is applied by connecting (n) diodes in series between the intersection of the 1st resistance and a voltage-controlled current source and the comparative DC input of a voltage comparator.

CONSTITUTION: When the source voltage is applied, a clamping capacitor 20 is not charged, so transistors (TR) 18 and 11 are cut off and there is not voltage drop across a resistance 8; and a clamping circuit output 9 tends to be to a potential which is the VEE of a TR 6 lower than the DC voltage of an input 7, but the input 17 with a reference voltage level from the A/D converter 3 is set to some point within the input range of the A/D

converter 3 through a resistance 22 and (n) diodes 23, so a current flows to the input 17 with the reference voltage level through the resistance 8, (n) diodes 23, and resistance 22, so that the voltage of the clamping circuit output 9 never rises above (the voltage value of the reference voltage input 17 from A/D converter) + (the forward voltage across the (n) diodes 23) + (the voltage drop across the resistance 22).

? s pn=jp
 S6 0 PN=JP
 ? s pn=jp 86138795
 S7 0 PN=JP 86138795
 ? s an=jp 86138795
 S8 1 AN=JP 86138795
 ? t 8/9/all

8/9/1

DIALOG(R)File 347:JAPIO
 (c) 2001 JPO & JAPIO. All rts. reserv.

02379822
 CONTROL OF DC INTERLINKAGE EQUIPMENT

PUB. NO.: 62-296722 [JP 62296722 A]
 PUBLISHED: December 24, 1987 (19871224)
 INVENTOR(s): TSUCHIYA TOSHIKATSU
 APPLICANT(s): FUJI ELECTRIC CO LTD [000523] (A Japanese Company or Corporation), JP (Japan)
 APPL. NO.: 61-138795 [JP 86138795]
 FILED: June 14, 1986 (19860614)
 INTL CLASS: [4] H02J-003/36; H02J-003/18
 JAPIO CLASS: 43.3 (ELECTRIC POWER -- Transmission & Distribution)
 ? s an=jp 86137564
 S9 1 AN=JP 86137564
 ? t 9/9/all

9/9/1

DIALOG(R)File 347:JAPIO
 (c) 2001 JPO & JAPIO. All rts. reserv.

02377119
 MOORING CABLE OF FLOAT FISH BANK AND ITS REPLACEMENT

PUB. NO.: 62-294019 [JP 62294019 A]
 PUBLISHED: December 21, 1987 (19871221)
 INVENTOR(s): MIYASHITA AKIO
 ITO FUJIO
 APPLICANT(s): KOBE STEEL LTD [000119] (A Japanese Company or Corporation), JP (Japan)
 APPL. NO.: 61-137564 [JP 86137564]
 FILED: June 13, 1986 (19860613)
 INTL CLASS: [4] A01K-061/00
 JAPIO CLASS: 11.2 (AGRICULTURE -- Marine Products)
 ? s an=jp 86103401
 S10 1 AN=JP 86103401
 ? t 10/9/all

10/9/1

⑨ 日本国特許庁(JP)

⑩ 特許出願公開

③ 公開特許公報(A) 昭60-136796

⑪ Int. Cl.⁹

識別記号

庁内整理番号

⑫ 公開 昭和60年(1985)7月20日

G 09 G 1/28
1/00

8121-5C
7923-5C

審査請求 未請求 発明の数 1 (全6頁)

⑬ 発明の名称 カラーディスプレイ装置

⑭ 特 願 昭58-250744

⑮ 出 願 昭58(1983)12月26日

⑯ 発 明 者 石 持 春 樹 大阪市阿倍野区長池町22番22号 シャープ株式会社内
⑰ 発 明 者 増 田 英 夫 大阪市阿倍野区長池町22番22号 シャープ株式会社内
⑱ 出 願 人 シャープ株式会社 大阪市阿倍野区長池町22番22号
⑲ 代 理 人 弁理士 福 士 愛 彦 外2名

BEST AVAILABLE COPY

明 細 書

1. 発明の名称

カラーディスプレイ装置

2. 特許請求の範囲

1. 表示画面上の画素に対応してR、G、Bのドット情報を記憶するメモリと、前記メモリから順次読出されるR、G、Bのドット情報を適宜互いのドット幅の情報に個々に変換する少なくとも3つのドット変換回路と、前記変換回路より得られるR、G、Bの個々の色情報に基づきカラー表示画面を作るカラー表示装置とを備えたカラーディスプレイ装置。

2. 前記カラー表示装置としてカラー陰極線管(CRT)を用いることを特徴とする前記特許請求の範囲1記載のカラーディスプレイ装置。

3. 発明の詳細な説明

(技術分野)

本発明はパーソナルコンピュータ等による出力情報を画面上にカラー表示するカラーディスプレイ装置に関するものである。

(従来技術)

従来、この種のカラーディスプレイ装置においては、通常第1図に示すようにカラー画像信号発生装置1から送られて来た3ビットのカラー情報を書込み制御回路2を介してリフレッシュメモリ3に書込まれる。該リフレッシュメモリ3は表示画面のR(赤)、G(緑)、B(青)の各画素に対応して各々のメモリ素子を有し、各メモリ素子のそれぞれにカラー情報が個々に書込まれる。このようにして画面データの全ての書込みが完了したならば、読出し制御回路4によってリフレッシュメモリ3からカラーCRT6の電子ビームの走査と同期して各画素に対応するR、G、Bの3ビットのデータが順次読出され、それぞれR(赤)駆動回路5R、G(緑)駆動回路5G、及び青(青)駆動回路5Bを介してカラーCRT6に供給され、この結果CRT画面上では出力データに対応したR、G、Bの画素がドット状に発光され、これによってキャラクタやグラフィックが所望とする色で表示される。この場合リフレッシュメモリ3

リースタートバッファ12を介してR駆動回路5Rに供給される。このようにして上記のドット変換回路7Rにおいては、その入出力波形を第4図②、③、④に示すように、“H”なる制御信号が印加されている間には、送出し制御回路4から出力されたT₀なるドット幅を持ったR出力信号がそのままR駆動回路5Rに供給され、一方制御信号が“L”になったときには送出し制御回路4から出力されるRドット信号はここで短のドット幅に変換された後、R駆動回路5Rに供給される。

なお上記実施例では特にR信号ラインに挿入された短ドット変換回路7Rの動作についてのみ説明したが、他のドット変換回路7G、7Bについても同様の動作を行ない“L”なる制御信号が供給されることにより、G、Bの各ドット信号のドット幅が短に半減される。

なお上記制御信号はCPR（図面では省略）の動作に基づき送出し制御回路4から所望とする画素に対応するR、G、Bのドット信号が送出されるタイミングに同期して各短ドット変換回路7R

、7G、7Bに適宜印加される。

このような結果カラーCRT画面上の所望位置で発光されるR、G、Bの特定の画素のドット幅が半減され、結果的にその画素位置は中間色、或いは類似色で表示されることになる。

なおこの場合、ある画素に対応するドット情報の送出し時に3つの短ドット変換回路7R、7G、7Bと同時に“L”なる制御信号を与えれば、このときR、G、Bのドット幅が同時に半減される結果画面上のその画素に対応する位置では色合いは変化されず色の濃さのみが半減されることになる。

第5図は短ドット変換回路7R、7G、7Bの別の実施例を示すものであり、ここでは第3図に示すものにさらにJK型フリップフロップ14及びオアゲート15を加えて構成したものである。この回路の動作は第3図のものと類似しており詳しい説明は省略するが、その入出力波形を第6図に示す。

この場合“H”なる制御信号が印加されている

際には第3図に示した実施例の場合と同様に送出し制御回路4から出力されたT₀なるドット幅を持った出力信号がそのまま駆動回路5に供給される。ところが制御信号が“L”になったときには送出し制御回路4から出力されるドット信号はJK型フリップフロップ13にてそのドット幅が短に半減されて出力される一方、特にドット信号が出力されない位置においてもJK型フリップフロップ14側から $\frac{T_0}{2}$ のドット幅を持った信号がオアゲート15及びリースタートバッファ12を介して出力され、その結果第6図④に示すようなドット信号が駆動回路5に供給される。

いま上記第5図に示す実施例の短ドット変換回路が第2図に示すカラーディスプレイ装置に採用されている場合に、リフレッシュメモリ3から送出された色情報値は赤色のドットを類似色のピンク色に変換する具体的な動作を説明すると、この期間には、送出し制御回路4からは第7図②、③、④に示す如く特にRラインにのみT₀なるドット幅を持った信号が出力され、他のG、Bライン

にはドット信号は出力されない。そこでこの送出しのタイミングに同期してGライン及びBラインの“L”レベルの制御信号をCPRから与えると、このときRラインの短ドット変換回路7Rからは第7図④に示すように $\frac{T_0}{2}$ なるドット幅を持った信号がそのまま出力されR駆動回路5Rを経てカラーCRT6に供給される。一方このときGライン及びBラインの短ドット変換回路7G、7Bからは第7図②、③に示すように $\frac{T_0}{2}$ なるドット幅を持った信号が特にその後半期間に出力され、それぞれ駆動回路5G、5Bを介してカラーCRT6に供給される。このような結果CRT画面上の対応する画素位置ではドットを半部では赤色が右半部では白色に発光され、仮想的にピンク色で発光されているように見える。

（第5図）
以上のようにして本発明のカラーディスプレイ装置によれば、R、G、Bの各信号ライン間にそれぞれ短ドット変換回路を挿入し、これらの各回路を適宜制御することにより、容易に類似色や中

間色を表現することが可能となり、また必要に
し色の減速をも半減することも可能となり、R、
G、Bのドット情報を記憶させるために大容量の
メモリを使用しなくとも多色表示を行なうこと
ができ大幅なコストダウンを図ることができる。

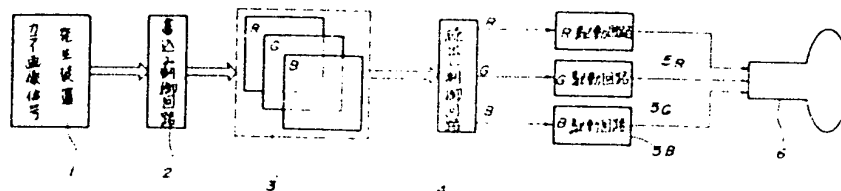
4. 図面の簡単な説明

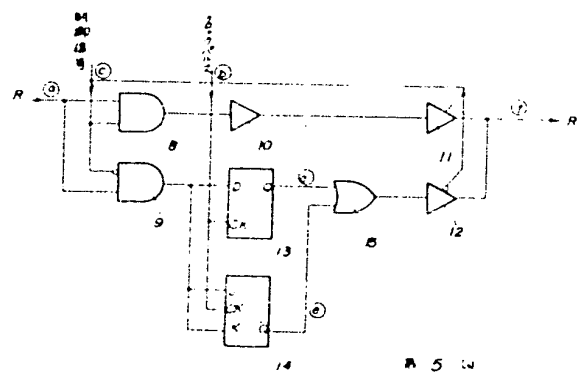
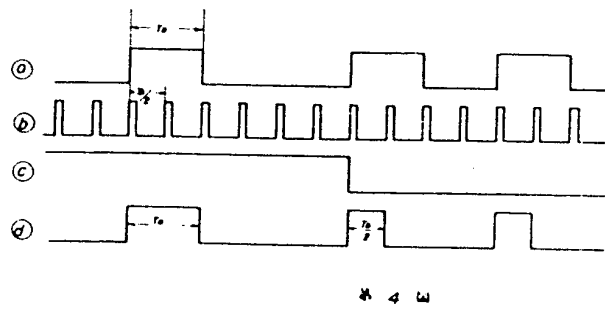
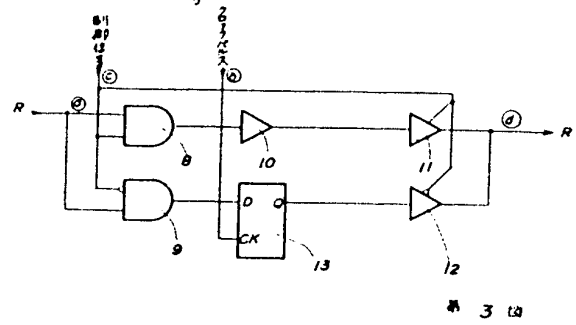
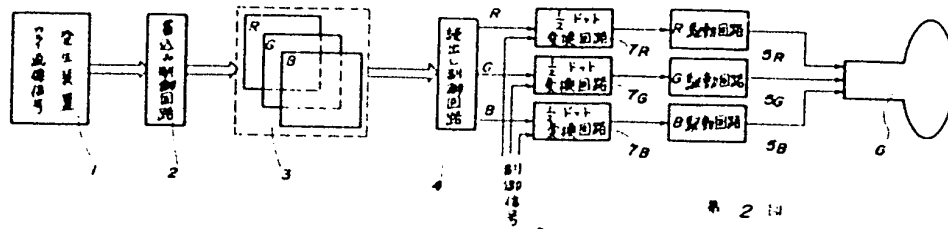
第1図は従来一般のカラーディスプレイ装置の
ブロック図、第2図は本発明の一実施例のブロッ
ク図、第3図は本発明のカラーディスプレイ装置
に用いられる各ドット変換回路のブロック図、第
4図は第3図に示す各ドット変換回路の動作説明
のための入出力信号波形図、第5図は本発明のカ
ラーディスプレイ装置に用いられる他の各ドット
変換回路のブロック図、第6図及び第7図はとも
に第5図に示す各ドット変換回路の動作説明のた
めの信号波形図である。

3…リフレッシュメモリ、 4…送出し制御回
路、 6…カラーCRT、

7R、7G、7B…各ドット変換回路

代理人 弁理士 福 士 寛 彦(他2名)





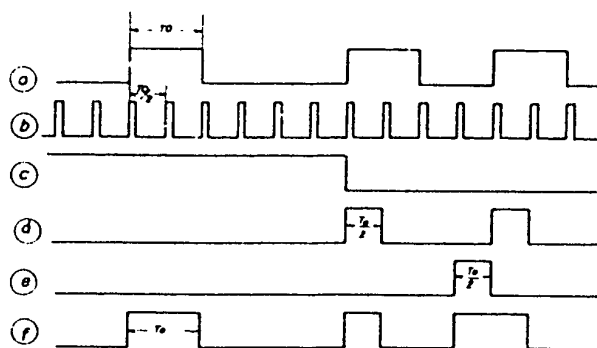


图 6

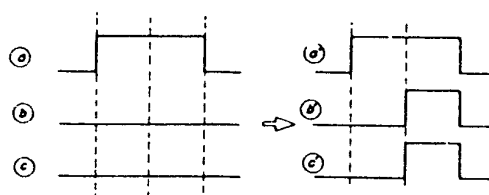


图 7